

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-125515

(43)Date of publication of application : 28.05.1991

(51)Int.CI.

H03K 19/0185

H01L 27/092

(21)Application number : 01-264657

(71)Applicant : SONY CORP

(22)Date of filing : 11.10.1989

(72)Inventor : FUKUDA TOKUYA

SENDA TETSUYA

MATSUMOTO HIROAKI

## (54) INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce leakage power and undesired radiation in a bus line by providing one or plural C-MOS inverter circuits in cascade connection operating at a lower voltage than a power voltage of an internal logic circuit section as an interface circuit between the logic circuit section and the bus line.

**CONSTITUTION:** One or plural C-MOS inverter circuits 13, 16 in cascade connection operated at a lower voltage than a power voltage Vdd of an internal logic circuit section 20 are provided as an interface circuit between the logic circuit section 20 and the bus line 10. Since the C-MOS inverter circuits 13, 16 for voltage level conversion are provided in this way, a maximum value of a signal sent through the bus line 10 is set lower, while the power voltage Vdd of the logic circuit section 20 is set higher. Thus, the arithmetic speed of the logic circuit section 20 is kept fast and the leakage power and undesired radiation in the bus line 10 are reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

D.2

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 平3-125515

⑬ Int. Cl. 5

H 03 K 19/0185  
 H 01 L 27/092

識別記号

府内整理番号

⑭ 公開 平成3年(1991)5月28日

8941-5J H 03 K 19/00 101 D  
 7735-5F H 01 L 27/08 321 L

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 集積回路

⑯ 特願 平1-264657

⑰ 出願 平1(1989)10月11日

⑮ 発明者	福田 翔也	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑯ 発明者	仙田 哲也	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発明者	松本 浩彰	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 出願人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑲ 代理人	弁理士 松隈 秀盛		

明細書

発明の名称 集積回路

特許請求の範囲

内部の論理回路部の電源電圧より低い電圧で動作する1個又は継続接続した複数個のC-MOSインバータ回路を上記論理回路部とバスラインとのインタフェース回路として有することを特徴とする集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えばC-MOS構造等の消費電力の少ない集積回路に関する。

〔発明の概要〕

本発明は、例えばC-MOS構造等の消費電力の少ない集積回路において、内部の論理回路部の電源電圧より低い電圧で動作する1個又は継続接続した複数個のC-MOSインバータ回路をその論理回路部とバスラインとのインタフェース回路として有することにより、簡単な回路構成でその

論理回路部の演算速度を犠牲にすることなくそのバスラインにおける漏れ電力及び不要輻射を低減できる様にしたものである。また、本発明により動作電源電圧が大きく異なる集積回路同士をレベルコンバータの如き特別な回路を介することなく電気的に接続することができる。

〔従来の技術〕

C-MOS構造の集積回路 (IC) は消費電力が極めて少ないと共に動作速度が比較的高速であることから様々な用途に広く使用されている。また、標準のC-MOSのICの電源電圧は5V程度であるが、近時は例えば1.4μmプロセスにより3V程度の電源電圧で動作するICが開発されており、より微細なプロセスが開発されればその電源電圧は更に低くすることができる。

一方、C-MOS構造のICの電源電圧が低下すると動作速度も低下するため、特に高速演算を要求されるICの電源電圧は5V程度に据え置かれている。

## 〔発明が解決しようとする課題〕

しかしながら、C-MOS構造のICは入出力信号のレベルの最大値が電源電圧と略等しいため、そのように5V程度の電源電圧でICを駆動した場合には、このICの入出力端子と他のICの入出力端子とを接続するために例えばプリント基板上に形成されたバスラインを介して最大値が5V程度の比較的高い周波数のデジタル信号が伝送される。そして、一般にバスラインの浮遊容量や純抵抗に起因するインピーダンスの絶対値をZ、そのバスラインを伝送される所定周波数の信号の最大レベルをE<sup>2</sup>/Zとすると、ほぼE<sup>2</sup>/Zに比例して漏れ電力が発生する。従って、そのように最大値が5V程度の比較的高い周波数のデジタル信号がバスラインを伝送される場合には、C-MOSのIC自体の消費電力は小さいにも拘らず、そのバスラインにおける漏れ電力が大きくなる不都合があった。

更に、バスラインを伝送される比較的高い周波数の信号の振幅には比例してそのバスラインに

おける不要輻射が発生するため、その信号の最大レベルひいてはその振幅が大きい場合にはそのバスラインからの不要輻射が大きくなり他のICに悪影響を与えるおそれがある不都合があった。

これに関して、C-MOSのICの電源電圧を低下させた場合であっても、バスライン間に設けたコンデンサ及び抵抗器より成るハイパスフィルタ回路により信号の高調波成分を減衰させて動作速度を改善する方法が提案されているが、外付け部品の数が多くなり、製造コストが上昇すると共に動作速度の改善の程度が小さい不都合がある。

本発明は斯かる点に鑑み、内部の論理回路部の演算速度を犠牲にすることなくバスラインにおける漏れ電力や不要輻射を低減できるICを提案することを目的とする。

## 〔課題を解決するための手段〕

本発明によるICは例えば第1図に示す如く、内部の論理回路部(20)の電源電圧V<sub>dd</sub>より低い電圧で動作する1個又は複数個のC-

3

MOSインバータ回路(13), (16)をその論理回路部(20)とバスライン(10)とのインタフェース回路として有するものである。

## 〔作用〕

斯かる本発明によれば、電圧レベル変換用のC-MOSインバータ回路(13), (16)が設けられているので、バスライン(10)を伝送される信号の最大値を低く設定する一方で論理回路部(20)の電源電圧V<sub>dd</sub>を高く設定することができる。従って、論理回路部(20)の演算速度を速く維持できると共に、バスライン(10)における漏れ電力や不要輻射を低減できる。

この場合、電圧を降下させるとには、降下量が大きくともそのC-MOSインバータ回路は通常1個で済ますことができる。一方、電圧を昇圧させるとには、C-MOSインバータ回路を複数個継続接続しただけの簡単な回路構成で徐々に電圧を上昇させることによりレベルコンバータの如き特別な回路を使用することなく所望の量だけ

4

電圧を上昇させることができる。

更に本発明によれば、動作電源電圧が大きく異なるIC同士を簡単な回路を付加するだけで電気的に接続することができる。

## 〔実施例〕

以下、本発明ICの一実施例につき第1図～第3図を参照して説明しよう。本例はプリント基板上に並んで互いにバスラインで接続された2つのICに本発明を適用したものである。

第1図は本例の回路構成を示し、この第1図において、(1)及び(2)は夫々全体としてICを示し、第1のIC(1)の接地端子(1a)及び第2のIC(2)の接地端子(2a)を夫々接地し、第1のIC(1)の2個の電源端子(1b)及び(1c)を夫々電圧がV<sub>dd</sub>及びV<sub>dd</sub>-V<sub>A</sub>の直流電圧電源に接続し、第2のIC(2)の3個の電源端子(2b), (2c)及び(2d)を夫々電圧がV<sub>dd</sub>-V<sub>A</sub>+V<sub>B</sub>, V<sub>dd</sub>-V<sub>A</sub>+V<sub>B</sub>+V<sub>C</sub>及びV<sub>dd</sub>の直流電圧電源に接続する。これらの電圧相互の関係や具体的な数値例については後述する。

5

6

第1のIC(1)において、(3)は電源電圧 $V_{dd}$ で動作する例えばTTL構造やMOS構造の内部論理回路を示し、この内部論理回路(3)を接地端子(1a)と電源端子(1b)との間に接続し、この内部論理回路(3)のデータ出力端子に生じる信号をPチャンネルMOS型FET(4)及びNチャンネルMOS型FET(5)の夫々のゲートに共通に供給し、FET(4)のソースを電源端子(1b)に接続し、FET(5)のソースを接地端子(1a)に接続し、FET(4)及び(5)の夫々のドレインを接続し、これらドレインに生じる信号をPチャンネルMOS型FET(7)及びNチャンネルMOS型FET(8)の夫々のゲートに共通に供給し、FET(7)のソースを電源端子(1c)に接続し、FET(8)のソースを接地端子(1a)に接続し、FET(7)及び(8)の夫々のドレインを接続し、これらドレインに生じる信号を出力端子(1d)に供給する如くなす。FET(4)及び(5)によって第1のC-MOSインバータ回路(6)が形成され、FET(7)及び(8)によって第2のC-MOSインバータ回路(9)が形成される。

タ回路(6)及び第2のIC(2)中の第5のC-MOSインバータ回路(19)は夫々出力バッファ回路及び入力バッファ回路として動作し、第1のIC(1)中の第2のC-MOSインバータ回路(9)並びに第2のIC(2)中の第3及び第4のC-MOSインバータ回路(13), (16)は夫々実質的にレベル変換器として動作する。

第1図例のブロック図である第2図を参照して本例の動作につき説明するに、一例として電圧 $V_{dd}$ ,  $V_A$ ,  $V_B$ 及び $V_C$ の値を次のように設定する。

$$V_{dd} = 5 \text{ V}, V_A = 3 \text{ V}, V_B = V_C = 1 \text{ V} \quad \dots \dots (1)$$

このとき第1のIC(1)の電源端子(1b)及び(1c)には夫々5V及び2Vの電圧が供給され、第2のIC(2)の電源端子(2b), (2c)及び(2d)には夫々3V, 4V及び5Vの電圧が供給される。一般にC-MOS回路は入出力レベルが電源電圧にはば等しいため、第1及び第2のインバータ回路(6), (9)の出力信号 $J_1$ 及び $J_2$ の高位側の信号レベルは

第1のIC(1)の出力端子(1d)をバスライン(10)を介して第2のIC(2)の入力端子(2e)に接続する。この第2のIC(2)において、(11), (14)及び(17)は夫々PチャンネルMOS型FET、(12), (15)及び(18)は夫々NチャンネルMOS型FETを示し、1対のFET(11), (12)、1対のFET(14), (15)及び1対のFET(17), (18)により夫々第3のC-MOSインバータ回路(13)、第4のC-MOSインバータ回路(16)及び第5のC-MOSインバータ回路(19)を形成する。その第3のインバータ回路(13)を電源端子(2b)と接地端子(2a)との間に接続し、第4のインバータ回路(16)を電源端子(2c)と接地端子(2a)との間に接続し、第5のインバータ回路(19)を電源端子(2d)と接地端子(2a)との間に接続する。

また、(20)は電源電圧 $V_{dd}$ で動作する内部論理回路を示し、入力端子(2e)をそれら第3、第4及び第5のインバータ回路(13), (16), (19)を介してその内部論理回路(20)のデータ入力端子に接続する。第1のIC(1)中の第1のC-MOSインバ

夫々略5V及び2Vになり、バスライン(10)を伝送される信号の最大レベルが略2Vになる。

また、一般に電源電圧 $V$ のC-MOSインバータ回路の入出力特性は第3図に示す如くなり、出力電圧がハイレベル“1”に対応する電圧とローレベル“0”に対応する電圧との間の所謂リニア領域に存在するときには、入力電圧は電圧 $V/2$ を中心とした所定の幅の領域(21)に存在する。そして、出力電圧がローレベル“0”に対応する電圧であるときの入力電圧の範囲は電圧 $V - \Delta V$ と電圧 $V$ との間の領域(22)であるため、第1図例において電圧 $V_A$ ,  $V_C$ 及び $(V_A - V_B - V_C)$ が夫々次の条件式(2)を充足するときには、

$$V_A < \Delta V, V_C < \Delta V, (V_A - V_B - V_C) < \Delta V \quad \dots \dots (2)$$

第2のC-MOSインバータ回路(9)の出力信号は第3、第4及び第5のC-MOSインバータ回路(13), (16), (19)にて夫々順次正確に反転されて内部論理回路(20)に供給される。C-MOSインバータ回路においては $\Delta V$ は1Vを超える値であるた

め、第2回路の如く電圧  $V_A$ 、 $V_B$  及び  $V_C$  の値を式(1)のように設定した場合には上述の条件式(2)は充足される。従って、バスライン(10)を伝送される高位側のレベルが略 2 V の信号  $J_2$  は第2のIC(2)中の第3、第4及び第5のC-MOSインバータ回路(13)、(16)、(19)にて夫々順次反転され高位側のレベルが略 3 V、4 V 及び 5 V の信号  $J_3$ 、 $J_4$ 、 $J_5$  に変換され、この低位側及び高位側のレベルが夫々略 0 V 及び 5 V の信号  $J_5$  が動作電源電圧が 5 V の内部論理回路(20)に供給される。

上述のように第2回路によれば、第1のIC(1)中の内部論理回路(3)は夫々 5 V の電源電圧で駆動されるため演算速度が速い利益がある。一方、前述した如く、バスライン(10)における漏れ電力はこのバスライン(10)を伝送される信号の最大レベルの2乗に比例し、このバスライン(10)における不要輻射はこのバスライン(10)を伝送される信号の振幅(本例のように信号の最小レベルが 0 V の場合には信号の最大レベル)に比例して増大するが、本例においては第2のC-MOSインバータ

回路(9)によってそのバスライン(10)を伝送される信号  $J_2$  の最大レベルが 2 V 程度に降下されているため、そのバスライン(10)が長く引き回されてもそのバスライン(10)における漏れ電力や不要輻射が極めて少ない利益がある。

更に、本例においては第2のIC(2)の第3、第4及び第5のC-MOSインバータ回路(13)、(16)、(19)によってそのバスライン(10)を伝送される信号  $J_5$  が最大レベルが 5 V の信号  $J_5$  に変換されて内部論理回路(20)に供給されるため、その内部論理回路(20)の演算速度も速く維持される利益がある。この場合、本例では3個のインバータ回路(13)、(16)及び(19)を継続接続して信号レベルを 1 V ずつ徐々に上昇するようにしているため、レベルコンバータの如き特別な回路を使用する必要がなく製造コストが低減できる利益がある。

次に本発明の他の実施例につき第4図を参照して説明しよう。本例は動作電源電圧の低い第1のICから内部論理回路の動作電源電圧の高い第2のICにバスラインを介して信号を伝送するシス

## 1 1

テムに本発明を適用したものであり、この第4図において第2図に対応する部分には同一符号を付してその詳細説明は省略する。

この第4図において、(23)は動作電源電圧が 3 V の第1のICを示し、この第1のIC(23)の電源端子に 3 V の直流電圧電源を接続し接地端子を接続する。(2A)は本例の第2のIC、(20A)はこのIC(2A)の主要部であり動作電源電圧が 5 V の内部論理回路を示し、この第2のIC(2A)においては第2回路のバッファ回路としてのC-MOSインバータ回路(19)がその内部論理回路(20A)と実質的に一体化されている。この第2のIC(2A)の他の構成は第2図の第2のIC(2)と同じであり、本例の第1のIC(23)の出力端子と第2のIC(2A)の入力端子(2e)とをバスライン(10)で接続する。

本例によればバスライン(10)を伝送される最大レベルが 3 V の信号が、第2のIC(2A)中の継続接続されたC-MOSインバータ回路(13)及び(16)によって徐々に昇圧されて内部論理回路(20A)

## 1 2

に供給されるので、レベルコンバータの如き特別な回路を使用する必要がなく回路構成が簡単で製造コストが低減できる利益がある。

次に、動作電源電圧が高い内部論理回路を有する第1のICから動作電源電圧が低い第2のICへバスラインを介して信号を伝送するシステムに本発明を適用した例を第5図を参照して説明する。この第2図に対応する部分に同一符号を付して示す第5図において、(1A)は第1のIC、(24)は動作電源電圧が 3 V の第2のICであり、この第2のIC(24)の電源端子に 3 V の直流電圧電源を接続し接地端子を接続する。

また、(3A)は第1のIC(1A)の主要部であり動作電源電圧が 5 V の内部論理回路を示し、この第1のIC(1A)においては第2回路のバッファ回路としてのC-MOSインバータ回路(16)を省略し、電源端子(1c)に 3 V の直流電圧電源を接続する。この第1のIC(1A)の他の構成は第2図の第1のIC(1)と同じであり、第1のIC(1A)の出力端子(1d)をバスライン(10)を介して第2のIC(24)の

## 1 3

## 1 4

入力端子に接続する。

第5図例によれば内部論理回路(3A)の最大レベルが5V程度の信号が、C-MOSインバータ回路(9)によって最大レベルが3Vの信号に変換されてバスライン(10)を介して第2のIC(24)に伝送される。即ち、この第1のIC(1A)中のC-MOSインバータ回路(9)はバッファ回路とレベル変換器との2つの機能を兼用しており、本例によれば回路構成が簡単である利益がある。

尚、本発明は上述実施例に限定されず本発明の要旨を逸脱しない範囲で、その他種々の構成を探り得ることは勿論である。

#### 〔発明の効果〕

本発明によれば、内部の論理回路部の電源電圧が高く設定できる一方でバスラインを伝送される信号の最大レベルが低く設定できるので、その内部の論理回路部の動作速度を速く維持した上でそのバスラインにおける漏れ電力や不要輻射を低減できる利益がある。

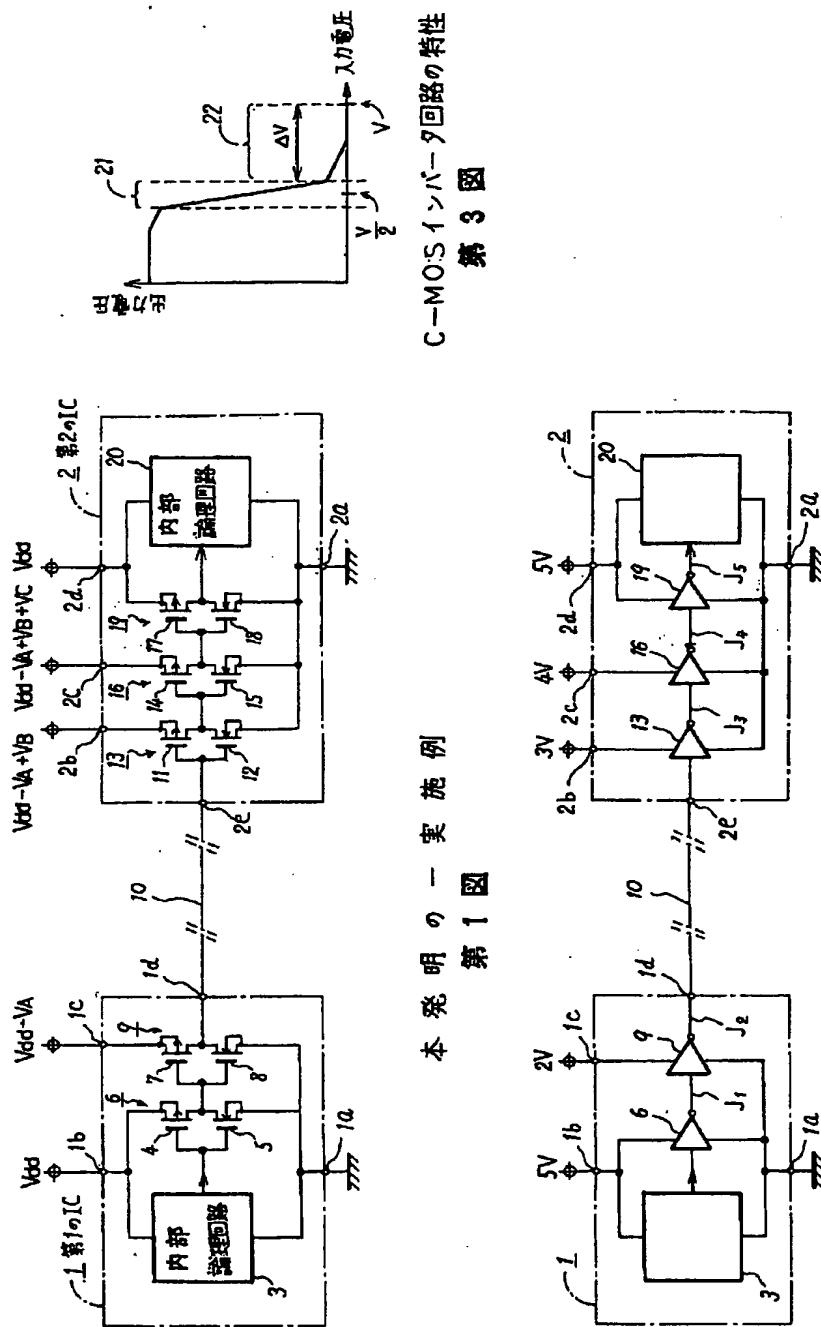
更に、1個又は複数個のC-MOSインバータ回路を付加するだけで、動作電源電圧の異なるIC同士を電気的に接続できる利益がある。

#### 図面の簡単な説明

第1図は本発明の一実施例を示す構成図、第2図は第1図例のブロック図、第3図はC-MOSインバータ回路の入出力特性を示す線図、第4図は本発明の他の実施例を示す構成図、第5図は本発明の第3実施例を示す構成図である。

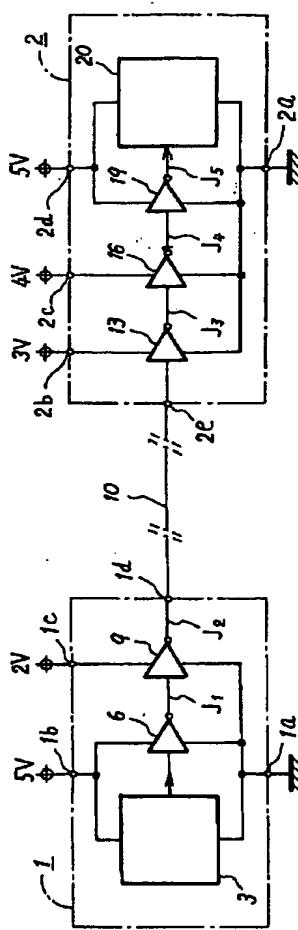
(1)は第1のIC、(2)は第2のIC、(3)は内部論理回路、(9)、(13)、(16)は夫々C-MOSインバータ回路、(10)はバスライン、(20)は内部論理回路である。

代理人 松隈秀盛

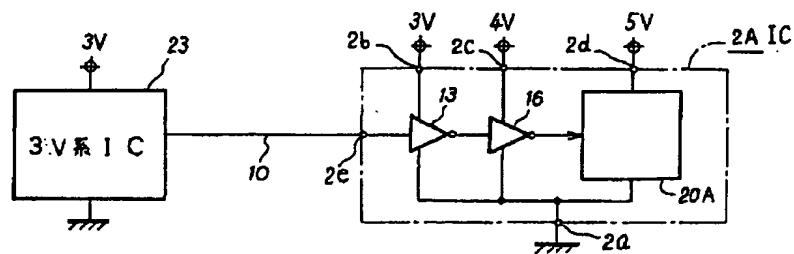


C-MOSインバータ回路の特性  
第3図

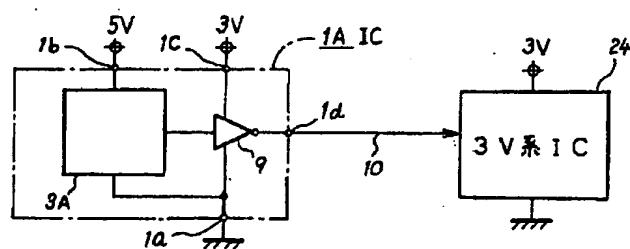
本発明の一実施例  
第1図



第1図例のアローフォワード回路  
第2図



他の実施例  
第4図



他の実施例  
第5図